

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07297273 A**

(43) Date of publication of application: **10.11.95**

(51) Int. Cl

**H01L 21/76**

(21) Application number: **06081442**

(71) Applicant: **HITACHI LTD**

(22) Date of filing: **20.04.94**

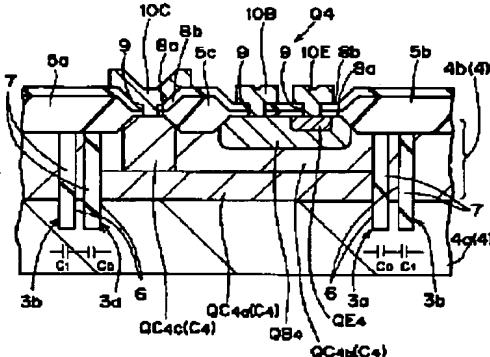
(72) Inventor: **SATOU SAYURI  
KUMAZAWA ATSUSHI**

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE**

**(57) Abstract:**

**PURPOSE:** To reduce a parasitic capacitance of an element on a semiconductor substrate by forming a trench isolation part surrounding the semiconductor integrated circuit element at least in a double-layer structure.

**CONSTITUTION:** Trench isolation parts 3a and 3b surrounding a semiconductor integrated circuit Q4 formed at a semiconductor substrate 4 are formed at least in a double-layer structure. For example, the transistor Q4 etc., constituting the output buffer circuit part of an output circuit part of an ECL circuit in a logic LSI is surrounded by each double trench isolation parts 3a and 3b. For example, a transistor Q4 etc., constituting the output buffer part of an output circuit part of an ECL circuit in a logic LSI are surrounded by double trench isolation parts 3a and 3b, thus achieving an effect which is equivalent to the situation where a capacitor c0 of the trench isolation part 3a and a capacitor C1 of the trench isolation part 3b of the outer periphery are connected to the transistor Q4 etc., in series. Therefore, a practical parasitic capacitance of the transistor Q4 etc., is considered to be the capacitance of the capacitors C0 and C1, thus drastically reducing the practical parasitic capacitance.



COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-297273

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/76

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/76

L

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21)出願番号 特願平6-81442

(22)出願日 平成6年(1994)4月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐藤 小百合

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 熊澤 淳

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 简井 大和

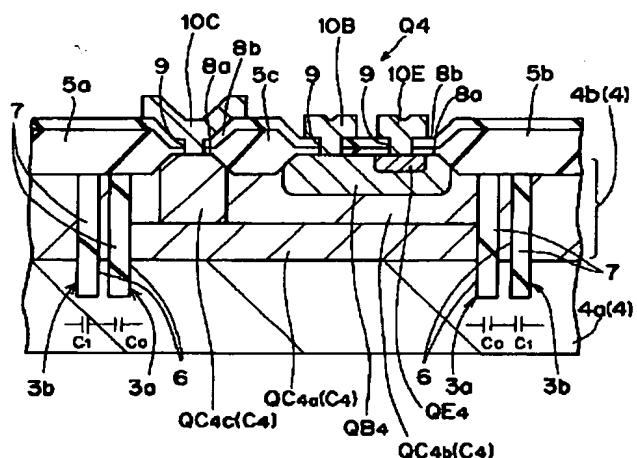
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 半導体基板上の素子に寄生する寄生容量を低減する。

【構成】 半導体基板4に形成されたバイポーラトランジスタQ4を二重のトレンチアイソレーション部3a, 3bによって取り囲むようにした。

図 1



3 a, 3 b : トレンチアイソレーション部 6 : 溝  
4 : 半導体基板 7 : 絶縁膜  
4 a : 半導体層 (第1導電形の半導体層)  
4 b : エピタキシャル層 (第2導電形の半導体層)

(2)

1

**【特許請求の範囲】**

**【請求項1】** 半導体基板に形成された半導体集積回路素子を取り囲むトレンチアイソレーション部を二重以上の多重構造としたことを特徴とする半導体集積回路装置。

**【請求項2】** 半導体基板に形成された所定の半導体集積回路素子を取り囲むトレンチアイソレーション部のみを二重以上の多重構造としたことを特徴とする半導体集積回路装置。

**【請求項3】** 半導体基板に形成された所定の半導体集積回路素子の一群を取り囲むトレンチアイソレーション部で取り囲み、前記所定の半導体集積回路素子の各々が二重以上の多重構造のトレンチアイソレーション部によって取り囲まれるようにしたことを特徴とする半導体集積回路装置。

**【請求項4】** 前記半導体基板が第1導電形の半導体層上に第2導電形の半導体層を設けてなり、前記トレンチアイソレーション部が前記第2導電形の半導体層の上面から前記第1導電形の半導体層の一部に達するように設けられてなることを特徴とする請求項1、2または3記載の半導体集積回路装置。

**【請求項5】** 前記第1導電形の半導体層がp形の半導体層であり、前記第2導電形の半導体層がn形の半導体層であることを特徴とする請求項4記載の半導体集積回路装置。

**【請求項6】** 前記半導体基板が第1絶縁層上に半導体層を設けてなるSOI基板であり、前記トレンチアイソレーション部が前記半導体層の上面から前記第1絶縁層の一部に達するように設けられてなることを特徴とする請求項1、2または3記載の半導体集積回路装置。

**【請求項7】** 前記第1絶縁層の下層に1層以上の第2絶縁層を設けたことを特徴とする請求項6記載の半導体集積回路装置。

**【請求項8】** 前記トレンチアイソレーション部が、前記半導体基板に形成された溝内に絶縁膜を埋め込むことによって構成されたことを特徴とする請求項1～7のいずれか一項に記載の半導体集積回路装置。

**【請求項9】** 前記半導体集積回路素子がバイポーラトランジスタであることを特徴とする請求項1～8のいずれか一項に記載の半導体集積回路装置。

**【請求項10】** 半導体基板上に形成された半導体集積回路素子を分離するトレンチアイソレーション部の内側または外側の少なくとも一方に、そのトレンチアイソレーション部に沿ってpn接合分離部を設けたことを特徴とする半導体集積回路装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、半導体集積回路装置技術に関し、特に、高速動作が要求される半導体集積回路装置に適用して有効な技術に関するものである。

2

**【0002】**

**【従来の技術】** 半導体基板に形成された互いに隣接する素子間を電気的に分離する素子分離技術として、例えばトレンチアイソレーション技術がある。

**【0003】** この技術は、半導体基板に深い溝を形成した後、その溝内に絶縁膜等を埋め込むことによって素子分離部を構成する技術である。トレンチアイソレーション部は、通常、半導体集積回路素子を取り囲むように枠状に配置され、本願発明者の検討した技術によれば、その枠は一重の単層構造であった。

**【0004】** なお、トレンチアイソレーション技術については、例えば株式会社オーム社、昭和59年11月30日発行「LSIハンドブック」P392に記載があり、トレンチアイソレーションの構造およびその形成方法について説明されている。

**【0005】**

**【発明が解決しようとする課題】** ところが、上記従来技術においては、以下の問題があることを本発明者は見い出した。

**【0006】** すなわち、トレンチアイソレーション部に絶縁膜を埋め込むので、その部分に寄生容量が形成されてしまい、半導体集積回路の動作速度の向上が阻害される問題があった。

**【0007】** また、従来は、寄生容量を低減するのに、①接合面積を縮小したり、②不純物濃度を低くしたりすることで対応していたが、これらの要素は、製造プロセスによってほぼ決ってしまい、一概に寄生容量のみを考慮して設定することができない要素なので、すなわち、製造プロセスが決ってしまえば寄生容量もほぼ決ってしまうので、寄生容量を充分に低減することができず、半導体集積回路の動作速度の向上を阻害する問題があつた。

**【0008】** 本発明の目的は、半導体基板上の素子に寄生する容量を低減することのできる技術を提供することにある。

**【0009】** 本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

**【0010】**

**【課題を解決するための手段】** 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

**【0011】** すなわち、本発明の半導体集積回路装置は、半導体基板に形成された半導体集積回路素子を取り囲むトレンチアイソレーション部を二重以上の多重構造としたものである。

**【0012】** また、本発明の半導体集積回路装置は、半導体基板に形成された所定の半導体集積回路素子を取り囲むトレンチアイソレーション部のみを二重以上の多重構造としたものである。

50

【0013】また、本発明の半導体集積回路装置は、半導体基板に形成された所定の半導体集積回路素子の一群をトレンチアイソレーション部で取り囲み、前記所定の半導体集積回路素子の各々が二重以上の多重構造のトレンチアイソレーション部によって取り囲まれるようにしたものである。

【0014】さらに、本発明の半導体集積回路装置は、半導体基板上に形成された半導体集積回路素子を分離するトレンチアイソレーション部の内側または外側の少くとも一方に、そのトレンチアイソレーション部に沿ってpn接合分離部を設けたものである。

#### 【0015】

【作用】上記した本発明の半導体集積回路装置によれば、トレンチアイソレーション部を二重以上の多重構造としたことにより、そのトレンチアイソレーション部に囲まれる半導体集積回路素子に、複数のトレンチアイソレーション部によって形成される複数の容量を直列接続したのと等しくなり、その半導体集積回路素子の実質的な寄生容量を、その複数の容量の合成容量とすることができますので、その半導体集積回路素子に寄生する実質的な寄生容量を大幅に低減することが可能となる。

【0016】また、上記した本発明の半導体集積回路装置によれば、半導体基板上に形成された全ての半導体集積回路素子の各々を二重以上の多重構造のトレンチアイソレーション部で取り囲むのではなく、例えば高速駆動する半導体集積回路素子のみを二重以上の多重構造のトレンチアイソレーション部によって取り囲むことにより、半導体集積回路装置の全体面積を大幅に増大させることなく、高速駆動する半導体集積回路素子の寄生容量を大幅に低減することが可能となる。

【0017】また、上記した本発明の半導体集積回路装置によれば、半導体集積回路素子毎に二重以上の多重構造のトレンチアイソレーション部で取り囲むのではなく、複数の半導体集積回路素子の一群をトレンチアイソレーション部で取り囲み、結果として個々の半導体集積回路素子が二重以上の多重構造のアイソレーション部によって取り囲まれるようにしたことにより、半導体集積回路装置の全体面積を大幅に増大させることなく、高速駆動する半導体集積回路素子の一群の寄生容量を大幅に低減することが可能となる。

【0018】さらに、上記した本発明の半導体集積回路装置によれば、トレンチアイソレーション部に沿ってpn接合分離部を設けたことにより、そのトレンチアイソレーション部に囲まれる半導体集積回路素子に、トレンチアイソレーション部によって形成される容量と、pn接合分離部によって形成される容量とを直列接続したのと等しくなり、その半導体集積回路素子の実質的な寄生容量を、その複数の容量の合成容量とすることができますので、その半導体集積回路素子に寄生する実質的な寄生容量を大幅に低減することが可能となる。

#### 【0019】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0020】(実施例1) 図1は本発明の一実施例である半導体集積回路装置の要部断面図、図2は図1の半導体集積回路装置の要部回路図、図3は図1の半導体集積回路装置における図2の回路部の平面図、図4および図5は図3の半導体集積回路装置の要部拡大平面図である。

10 【0021】本実施例1の半導体集積回路装置は、例えばECL(Emitter Coupled Logic)回路を備えるようなロジックLSIである。そのECL回路の回路図および平面図を図2および図3に示す。

【0022】ECL回路1は、差動增幅回路部1aと、基準電圧設定回路部1bと、出力回路部1cとを備えている。

【0023】差動增幅回路部1aは、縦形n-p-nバイポーラトランジスタ(以下、単にトランジスタという)Q1, Q2と、抵抗R1, R2とを備えている。トランジスタ

20 Q1, Q2のコレクタQC1, QC2は、配線2aを通じてそれぞれ抵抗R1, R2と電気的に接続され、さらに、抵抗R1, R2および配線2bを通じて電源VCCと電気的に接続されている。トランジスタQ1, Q2のベースQB1, QB2は、それぞれ入力端子IN1, IN1Bと電気的に接続されている。

【0024】基準電圧設定回路部1bは、トランジスタQ3と、抵抗R3とを備えている。トランジスタQ3のコレクタQC3は、配線2cを通じて、トランジスタQ1, Q2のエミッタQE1, QE2と電気的に接続されている。トランジスタQ3のベースQB3は、基準電圧源VCSと電気的に接続されている。トランジスタQ3のエミッタQE3は、抵抗R3および配線2dを通じて接地電源VEEと電気的に接続されている。

【0025】出力回路部1cは、トランジスタQ4～Q7を備えている。トランジスタQ4, Q6は、出力バッファ回路部を構成するトランジスタであり、差動增幅回路部1aにおけるトランジスタQ1, Q2の負荷駆動力を向上させるためにエミッタホロワ回路構成となっている。

【0026】トランジスタQ4, Q6のコレクタQC4, QC6は、それぞれ配線2e, 2fおよび配線2gを通じて電源VCCと電気的に接続されている。トランジスタQ4, Q6のベースQB4, QB6は、それぞれ配線2h, 2iを通じて配線2a, 2bと電気的に接続されている。トランジスタQ4, Q6のコレクタQE4, QE6は、それぞれ配線2j, 2kを通じて、それぞれ出力端子OUTT, OUTBおよびトランジスタQ5, Q7と電気的に接続されている。

【0027】トランジスタQ5, Q7は、出力バッファ回路部のトランジスタQ4, Q6の定電流源を構成するトランジスタであり、そのベースQB5, QB7は、配線2

mを通じて基準電圧設定回路部1 bのトランジスタQ3のベースQB3および基準電圧源VCSと電気的に接続されている。なお、抵抗R1～R7は、例えば低抵抗ポリシリコンからなる。

【0028】ところで、このようなECL回路1においては、トランジスタQ1, Q2, Q4, Q6の寄生容量を低減することが高速化に有効である。そこで、本実施例1においては、図1、図4および図5に示すように、トランジスタQ1, Q2, Q4, Q6を、例えば二重のトレンチアイソレーション部3a, 3bによって取り囲むようにした。

【0029】これにより、本実施例1においては、トランジスタQ1, Q2, Q4, Q6に、トレンチアイソレーション部3aの容量C0と、その外周のトレンチアイソレーション部3bの容量C1とが直列接続されたのと等しくすることができる。すなわち、トランジスタQ1, Q2, Q4, Q6に寄生する実質的な寄生容量を、その容量C0, C1の合成容量とすることができます。したがって、その実質的な寄生容量を大幅に低減することが可能となっている。

【0030】図4には、トランジスタQ1, Q2の平面図が示されている。トランジスタQ1, Q2は、図4の横方向に沿って互いに隣接するように配置されている。

【0031】トランジスタQ1, Q2の各々は、トレンチアイソレーション部3aによって取り囲まれている。互いに隣接するトレンチアイソレーション部3aの間隔d1は、例えば $3\mu m$ 程度である。また、そのトランジスタQ1, Q2の一群が1つのトレンチアイソレーション部3b1(3b)によって取り囲まれている。このため、トランジスタQ1, Q2の各々が、結果として、二重のトレンチアイソレーション部3a, 3b1によって取り囲まれる構造となっている。

【0032】すなわち、それぞれがトレンチアイソレーション部3aによって取り囲まれているトランジスタQ1, Q2の一群を、1つのトレンチアイソレーション部3b1(3b)によって取り囲むことにより、互いに隣接するトランジスタQ1, Q2間の間隔を増大させずに済むので、ECL回路1の占有面積を大幅に増大させることなく、トランジスタQ1, Q2の一群の寄生容量を大幅に低減することが可能となっている。

【0033】図5には、トランジスタQ4, Q6の平面図が示されている。トランジスタQ4, Q6は、コレクタQC4、ベースQB4およびエミッタQE4の配列方向に沿って互いに隣接するように配置されている。

【0034】各トランジスタQ4, Q6は、二重のトレンチアイソレーション部3a, 3b2によって取り囲まれている。トレンチアイソレーション部3a, 3bの間隔d2、トレンチアイソレーション部3b, 3bの間隔d2は、例えば共に等しく、 $2\mu m$ 程度である。

【0035】この場合、トランジスタQ4, Q6の隣接間

隔としてもとから確保していた領域に、二重のトレンチアイソレーション部3a, 3b2を配置することにより、トランジスタQ4, Q6間の間隔を増大させずに二重のトレンチアイソレーション部3a, 3bを配置できるので、ECL回路1の占有面積を大幅に増大させることなく、各トランジスタQ4, Q6の寄生容量を大幅に低減することが可能となっている。

【0036】図5のI-I線の断面図を図1に示す。半導体基板4は、半導体層(第1導電形の半導体層)4aと、その上層に形成されたエピタキシャル層(第2導電形の半導体層)4bとから構成されている。半導体層4aは、例えばp形シリコン(Si)単結晶からなり、その上層のエピタキシャル層4bは、例えばn形Si単結晶からなる。

【0037】エピタキシャル層4b上において、フィールド絶縁膜5a, 5bおよび上記した二重のトレンチアイソレーション部3a, 3bに囲まれた素子形成領域には、トランジスタQ4が形成されている。

【0038】フィールド絶縁膜5a, 5bは、例えば二酸化ケイ素(SiO<sub>2</sub>)からなる。なお、フィールド絶縁膜5cは、素子内分離部を形成するもので、例えばSiO<sub>2</sub>からなる。

【0039】また、トレンチアイソレーション部3a, 3bは、フィールド絶縁膜5a, 5bの下層において、エピタキシャル層4bの正面から半導体層4aの一部にまで延びる溝6に、例えばSiO<sub>2</sub>からなる絶縁膜7が埋め込まれて形成されている。

【0040】トランジスタQ4は、コレクタQC4と、ベースQB4と、エミッタQE4とを有している。コレクタQC4は、コレクタ埋込領域QC4aと、真性コレクタ領域QC4bと、コレクタ引出し領域QC4cとを有している。コレクタ埋込領域QC4aは、真性コレクタ領域QC4bとコレクタ引出し領域QC4cとを低抵抗で電気的に接続するための領域であり、例えばn形不純物のアンチモン(Sb)が導入されて構成されている。

【0041】真性コレクタ領域QC4bには、例えばn形不純物のリンまたはヒ素(A<sub>s</sub>)が導入されている。コレクタ引出し領域QC4cは、例えばn形不純物のリンが導入されてなり、絶縁膜8a, 8bに穿孔された接続孔9を通じてコレクタ電極10Cと電気的に接続されている。

【0042】ベースQB4は、例えばp形不純物のホウ素が導入されてなり、絶縁膜8a, 8bに穿孔された接続孔9を通じてベース電極10Bと電気的に接続されている。エミッタQE4は、例えばn形不純物のリンまたはヒ素が導入されてなり、絶縁膜8a, 8bに穿孔された接続孔9を通じてエミッタ電極10Eと電気的に接続されている。

【0043】なお、絶縁膜8a, 8bは、例えばSiO<sub>2</sub>からなる。また、コレクタ電極10C、ベース電極1

OB およびエミッタ電極 10 E は、例えばアルミニウム (A1) または A1-Si-Cu 合金からなる。

【0044】このように、本実施例 1 によれば、以下の効果を得ることが可能となる。

【0045】(1).トランジスタ Q1, Q2, Q4, Q6 を二重のトレンチアイソレーション部 3a, 3b によって取り囲むことにより、トランジスタ Q1, Q2, Q4, Q6 に寄生する実質的な寄生容量を、トレンチアイソレーション部 3a, 3b によって形成される容量 C0, C1 の直列接続した場合の合成容量とすることができるので、その実質的な寄生容量を大幅に低減することが可能となる。

【0046】(2).半導体基板 4 上に形成された全てのトランジスタ Q1 ~ Q7 の各々を二重以上の多重構造のトレンチアイソレーション部 3a, 3b で取り囲むのではなく、高速駆動するトランジスタ Q1, Q2, Q4, Q6 のみを二重のトレンチアイソレーション部 3a, 3b によって取り囲むことにより、ECL 回路 1 の占有面積を大幅に増大させることなく、高速駆動するトランジスタ Q1, Q2, Q4, Q6 の寄生容量を大幅に低減することが可能となる。

【0047】(3).トランジスタ Q1, Q2 毎に二重のトレンチアイソレーション部 3a, 3b で取り囲むのではなく、トランジスタ Q1, Q2 の各々をトレンチアイソレーション部 3a によって取り囲むとともに、そのトランジスタ Q1, Q2 の一群を、1 つのトレンチアイソレーション部 3b1 (3b) によって取り囲むことにより、互いに隣接するトランジスタ Q1, Q2 間の間隔を増大させずに済むので、ECL 回路 1 の占有面積を大幅に増大させることなく、高速駆動するトランジスタ Q1, Q2 の一群の寄生容量を大幅に低減することが可能となる。

【0048】(4).トランジスタ Q4, Q6 の隣接間隔として確保されていた領域に、二重のトレンチアイソレーション部 3a, 3b2 を配置することにより、トランジスタ Q4, Q6 間の間隔を増大させずに済むので、ECL 回路 1 の占有面積を大幅に増大させることなく、高速駆動するトランジスタ Q4, Q6 の寄生容量を大幅に低減することが可能となる。

【0049】(5).上記(1) ~ (4) により、半導体集積回路装置をあまり大形にすることなく、半導体集積回路装置の動作速度を向上させることができると可能となる。

【0050】(実施例 2) 図 6 は本発明の他の実施例である半導体集積回路装置の要部断面図である。

【0051】本実施例 2 においては、図 6 に示すように、半導体基板 4 として、例えば支持基板 4c 上に絶縁層 4d を介して半導体層 4e を設けてなる SOI (Silicon On Insulator) 基板を用いている。

【0052】支持基板 4c は、半導体基板 4 の強度を確保するための部分であり、例えば p 形 Si 単結晶からなる。絶縁層 4d は、例えば SiO<sub>2</sub> からなる。半導体層 4e は、トランジスタ Q4 等のような素子が形成される

層であり、例えば n 形 Si 単結晶からなる。

【0053】トレンチアイソレーション部 3a, 3b は、フィールド絶縁膜 5a, 5b の下層において、半導体層 4e の正面から絶縁層 4d の下層の支持基板 4c の上部まで延びる溝 6 内に絶縁膜 7 が埋め込まれて形成されている。

【0054】このような SOI 構造の半導体基板 4 を製造するには、例えば次のようにする。

【0055】まず、2 つの半導体基板を用意する。一方の半導体基板の表面には、例えば熱酸化法等によって SiO<sub>2</sub> からなる絶縁膜を形成しておく。

【0056】続いて、その 2 つの半導体基板を互いに対向させた後、一方の半導体基板の絶縁膜を介して接触させた後、その 2 つの半導体基板を熱処理によって接合する。

【0057】その後、一方の半導体基板の裏面側を研削、研磨することにより半導体層を形成した後、その半導体層上面にエピタキシャル法によって半導体層を成長させて半導体層 4e を形成することにより、図 6 に示した SOI 構造の半導体基板 4 を製造する。

【0058】このように、本実施例 2 によれば、前記実施例 1 で得られた効果の他に、以下の効果を得ることが可能となる。

【0059】すなわち、完全な素子分離が可能となるので、拡散層容量や寄生容量を小さくすることが可能となる。したがって、半導体集積回路装置をあまり大形にすることなく、半導体集積回路装置の動作速度を向上させることができると可能となる。

【0060】(実施例 3) 図 7 は本発明の他の実施例である半導体集積回路装置の要部断面図である。

【0061】本実施例 3 においても、半導体基板として SOI 基板が用いられている。ただし、本実施例 3 においては、図 7 に示すように、半導体基板 4 に、例えば 2 層の絶縁層 4d1, 4d2 が形成されている。絶縁層 4d1, 4d2 は、共に、例えば SiO<sub>2</sub> からなり、それらの間に、例えば p 形 Si 単結晶からなる半導体層 4f が介在されている。

【0062】これにより、トランジスタ Q4 には、絶縁層 4d1 の容量 C2 と、その下層の絶縁層 4d2 の容量 C3 とが直列接続されているのと等しくすることができる。すなわち、絶縁層 4d1, 4d2 の存在によってトランジスタ Q4 に寄生する実質的な寄生容量を、その直列接続された容量 C2, C3 の合成容量とすることができます。したがって、その実質的な寄生容量を大幅に低減することが可能となっている。

【0063】この場合のトレンチアイソレーション部 3a, 3b は、フィールド絶縁膜 5a, 5b の下層において、半導体層 4e の正面から絶縁層 4d2 の下層の支持基板 4c に延びる溝 6 に絶縁膜 7 が埋め込まれて形成されている。

【0064】このようなSOI構造の半導体基板4を製造するには、例えば次のようにする。

【0065】まず、2つの半導体基板を用意する。この際、一方の半導体基板は、前記実施例1で説明したエピタキシャル層形成前のSOI基板であり、他方の半導体基板は、その表面に、例えば熱酸化法等によってSiO<sub>2</sub>からなる絶縁膜が形成された通常の半導体基板である。

【0066】続いて、そのSOI構造の半導体基板における半導体層の正面と、通常の半導体基板の絶縁膜の形成された正面とを対向させ接触させた後、その2つの半導体基板を熱処理によって接合する。

【0067】その後、一方の半導体基板の裏面側を研削、研磨することにより半導体層を形成した後、その半導体層の上面にエピタキシャル法等によって半導体層を成長させて半導体層4eを形成することにより、図7に示したSOI構造の半導体基板4を製造する。

【0068】このように、本実施例3によれば、前記実施例1、2で得られた効果の他に、以下の効果を得ることが可能となる。

【0069】すなわち、SOI構造の半導体基板4に2つの絶縁層4d1, 4d2を設けたことにより、その絶縁層4d1, 4d2の存在によってトランジスタQ4に寄生する実質的な寄生容量を、絶縁層4d1, 4d2によって形成される容量C2, C3を直列接続した場合の合成容量とすることでできるので、その実質的な寄生容量を大幅に低減することが可能となる。したがって、半導体集積回路装置をあまり大形にすることなく、半導体集積回路装置の動作速度を向上させることができるとなる。

【0070】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1～3に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0071】例えば前記実施例1～3においては、トレンチアイソレーション部を二重とした場合について説明したが、これに限定されるものではなく、三重以上の多重構造とができるなど、種々変更可能であり、例えば図8および図9に示すように、二重のトレンチアイソレーション部3a, 3bの外周にさらにトレンチアイソレーション部3cを設け、全部で三重のトレンチアイソレーション部3cを設けるようにしても良い。

【0072】この場合、トレンチアイソレーション部3a, 3bの容量に、最外周のトレンチアイソレーション部3cの容量が直列接続されたのと等しくなるので、前記実施例1の場合よりも寄生容量をさらに低減することが可能となる。なお、図9は図8のIX-IX線の断面図である。

【0073】また、前記実施例1～3においては、二重のトレンチアイソレーション部を設けた場合について説明したが、これに限定されるものではなく、例えば図1

0に示すように、トレンチアイソレーション部3aの内側にpn接合アイソレーション部(pn接合分離部)11を設けるようにしても良い。pn接合アイソレーション部11には、例えばp形不純物のホウ素が導入されている。

【0074】この場合も、トランジスタQ4に寄生する実質的な寄生容量を、トレンチアイソレーション部3aの容量C0と、pn接合アイソレーション部11の容量C4とを直列接続した場合の合成容量とすることができるので、その実質的な寄生容量を大幅に低減することが可能となる。なお、pn接合アイソレーション部11は、トレンチアイソレーション部3aの外周に設けても良い。

【0075】また、前記実施例1～3においては、バイポーラトランジスタをトレンチアイソレーション部によって分離する場合について説明したが、これに限定されるものではなく、例えばMOS・FETを二重以上の多重構造のトレンチアイソレーション部によって分離するようにしても良い。

【0076】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるECL回路を有する半導体集積回路装置に適用した場合について説明したが、これに限定されず種々適用可能であり、例えばCMOS(Complementary MOS)回路やBICMOS(Bipolar CMOS)回路を有する半導体集積回路装置等のような他の半導体集積回路装置に適用すること也可能である。

#### 【0077】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0078】(1). 本発明の半導体集積回路装置によれば、トレンチアイソレーション部を二重以上の多重構造としたことにより、そのトレンチアイソレーション部に囲まれる半導体集積回路素子に、複数のトレンチアイソレーション部によって形成される複数の容量を直列接続したのと等しくなり、その半導体集積回路素子の実質的な寄生容量を、その複数の容量の合成容量とすることでできるので、その半導体集積回路素子に寄生する実質的な寄生容量を大幅に低減することが可能となる。したがって、半導体集積回路装置の動作速度を向上させることができるとなる。

【0079】(2). 本発明の半導体集積回路装置によれば、半導体基板上に形成された全ての半導体集積回路素子を二重以上の多重構造のトレンチアイソレーション部で取り囲むのではなく、例えば高速駆動する半導体集積回路素子のみを二重以上の多重構造のトレンチアイソレーション部によって取り囲むことにより、半導体集積回路装置の全体面積を大幅に増大させることなく、高速駆動する半導体集積回路素子の寄生容量を大幅に低減する

ことが可能となる。したがって、半導体集積回路装置をあまり大形にすることなく、半導体集積回路装置の動作速度を向上させることが可能となる。

【0080】(3). 本発明の半導体集積回路装置によれば、半導体集積回路素子毎に二重以上の多重構造のトレンチアイソレーション部で取り囲むのではなく、複数の半導体集積回路素子の一群をトレンチアイソレーション部で取り囲み、結果として個々の半導体集積回路素子が二重以上の多重構造のアイソレーション部によって取り囲まれるようにしたことにより、半導体集積回路装置の全体面積を大幅に増大させることなく、高速駆動する半導体集積回路素子の一群の寄生容量を大幅に低減することが可能となる。したがって、半導体集積回路装置をあまり大形にすることなく、半導体集積回路装置の動作速度を向上させることが可能となる。

【0081】(4). 本発明の半導体集積回路装置によれば、トレンチアイソレーション部に沿ってpn接合素子分離部を設けたことにより、トレンチアイソレーション部に沿ってpn接合分離部を設けたことにより、そのトレンチアイソレーション部に囲まれる半導体集積回路素子に、トレンチアイソレーション部によって形成される容量と、pn接合分離部によって形成される容量とを直列接続したのと等しくなり、その半導体集積回路素子の実質的な寄生容量を、その複数の容量の合成容量とすることができるでの、その半導体集積回路素子に寄生する実質的な寄生容量を大幅に低減することが可能となる。したがって、半導体集積回路装置をあまり大形にすることなく、半導体集積回路装置の動作速度を向上させることができるとなる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の要部回路図である。

【図3】図1の半導体集積回路装置における図2の回路部の平面図である。

【図4】図3の半導体集積回路装置の要部拡大平面図である。

【図5】図3の半導体集積回路装置の要部拡大平面図である。

【図6】本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図7】本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図8】本発明の他の実施例である半導体集積回路装置 \*

\* の要部平面図である。

【図9】図8の半導体集積回路装置のIX-IX線の断面図である。

【図10】本発明の他の実施例である半導体集積回路装置の要部断面図である。

#### 【符号の説明】

1 ECL回路

1 a 差動増幅回路部

1 b 基準電圧設定回路部

10 1 c 出力回路部

2 a ~ 2 k, 2 m 配線

3 a, 3 b, 3 b1, 3 b2 トレンチアイソレーション部

4 半導体基板

4 a 半導体層 (第1導電形の半導体層)

4 b エピタキシャル層 (第2導電形の半導体層)

4 c 支持基板

4 d 絶縁層

4 d1, 4 d2 絶縁層

20 4 e 半導体層

4 f 半導体層

5 a ~ 5 c フィールド絶縁膜

6 溝

7 絶縁膜

8 a ~ 8 c 絶縁膜

9 接続孔

10 B ベース電極

10 C コレクタ電極

10 E エミッタ電極

30 11 pn接合アイソレーション部 (pn接合分離部)

Q1 ~ Q7 縦形n p nバイポーラトランジスタ

QE1 ~ QE7 エミッタ

QC1 ~ QC7 コレクタ

QB1 ~ QB7 ベース

R1 ~ R5 抵抗

VCS 基準電圧源

IN1 入力端子

IN1B 入力端子

OUT 出力端子

40 OUTB 出力端子

VCC 電源

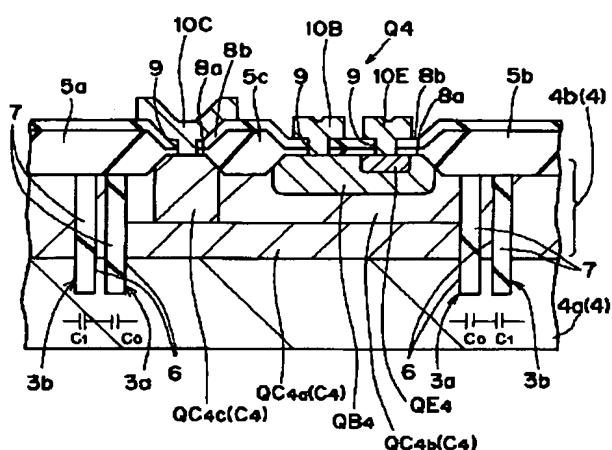
VEE 接地電源

C0 ~ C4 容量

d1, d2 間隔

【図1】

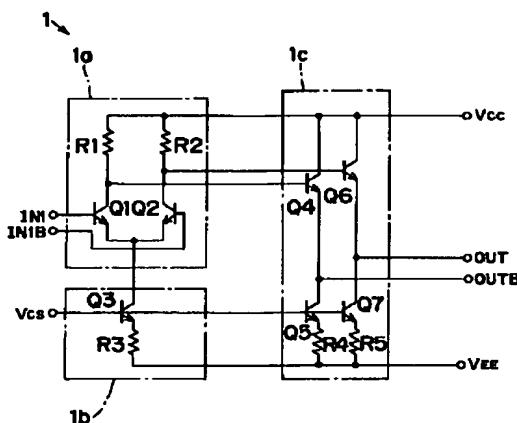
図 1



3 a, 3 b : レンチアイソレーション部  
4 : 半導体基板  
4 a : 半導体層（第1等電位の半導体層）  
4 b : エピタキシャル層（第2等電位の半導体層）  
6 : 湿  
7 : 絶縁膜

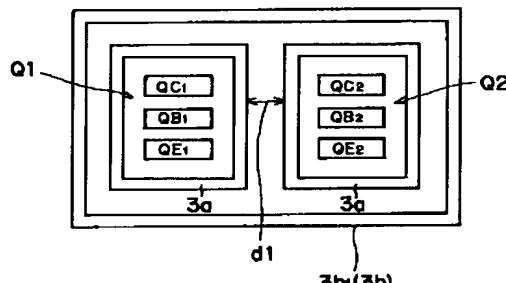
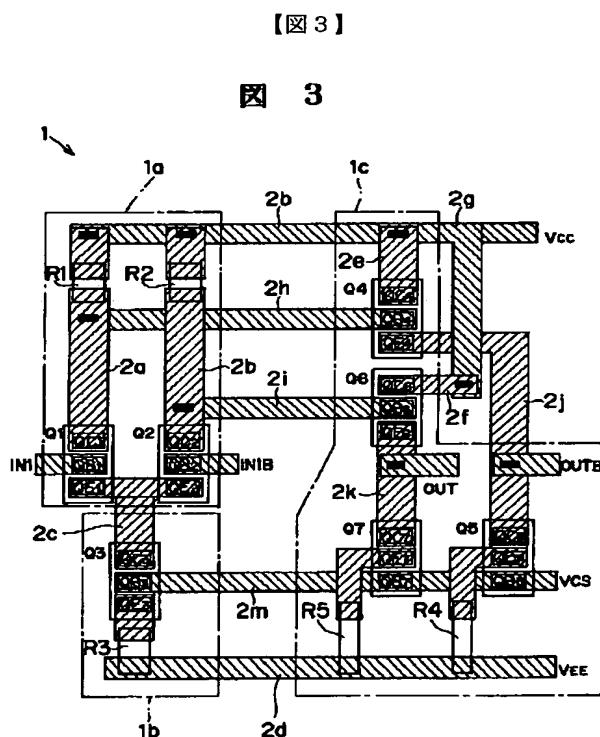
【図2】

図 2



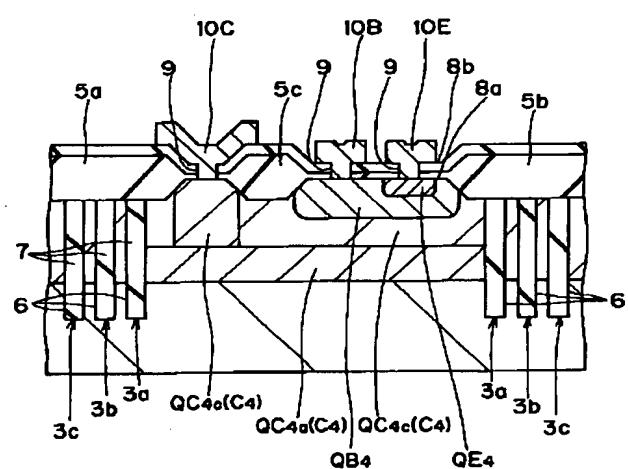
【図4】

図 4



【図9】

図 9



【図5】

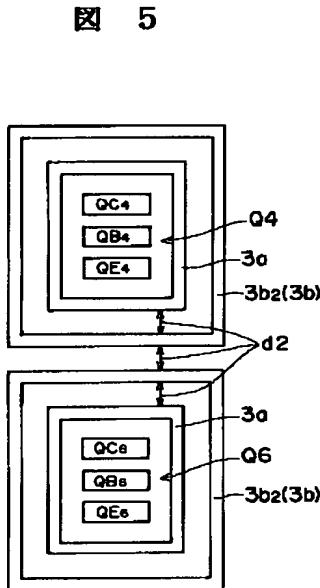


図 5

【図6】

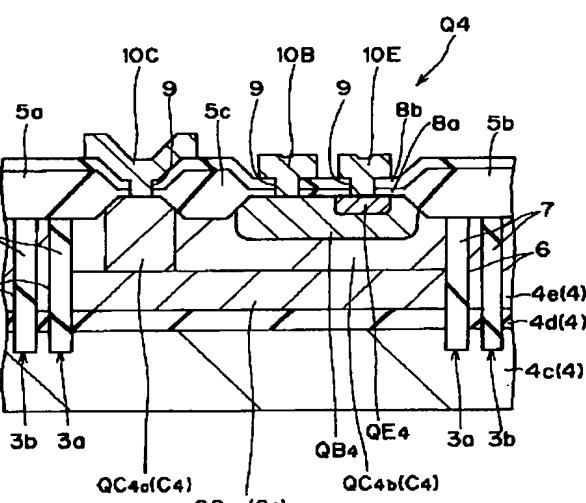


図 6

【図8】

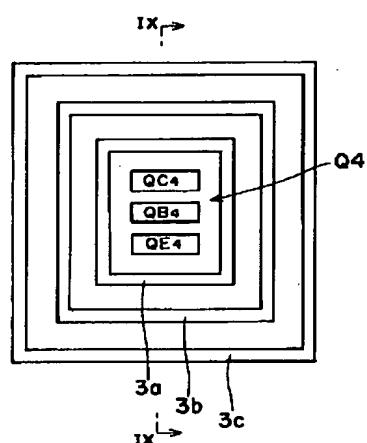


図 8

【図10】

【図7】

図 7

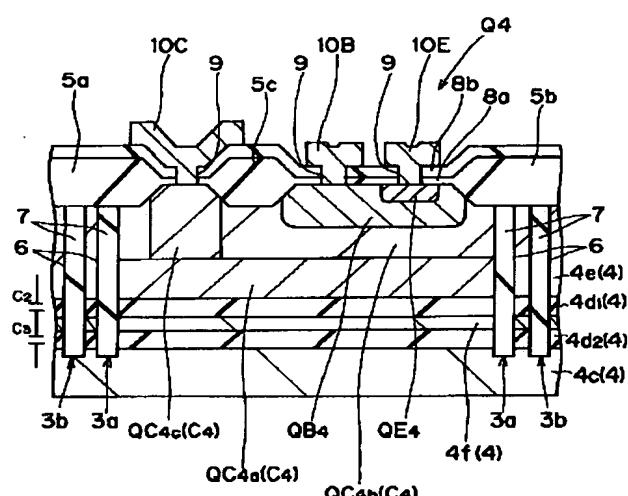
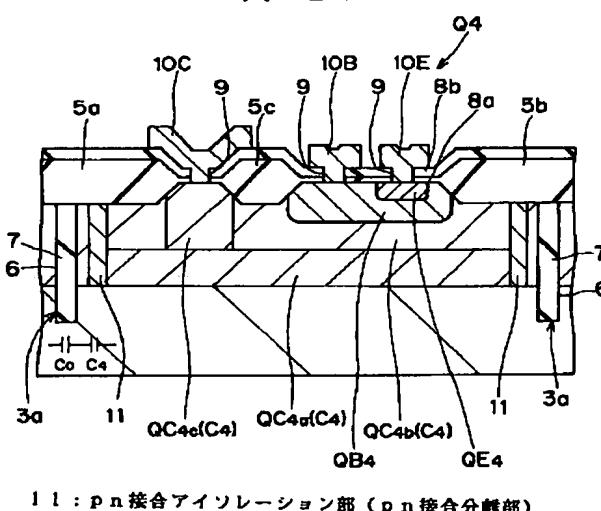


図 10



11 : p-n接合アイソレーション部 (p-n接合分離部)